

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-330104

(43)Date of publication of application : 22.12.1997

(51)Int.Cl.

G05B 15/02
B60R 16/02
F02D 45/00
F02N 11/08

(21)Application number : 08-146855

(71)Applicant : UNISIA JECS CORP

(22)Date of filing : 10.06.1996

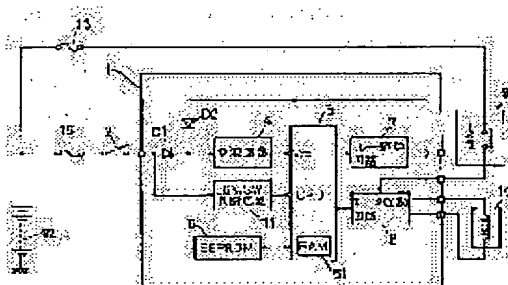
(72)Inventor : MORITA YASUSHI
TAKAGI KATSUYUKI

(54) ELECTRONIC CONTROL SYSTEM FOR AUTOMOBILE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the automobile electronic control system which can back up data with simple constitution.

SOLUTION: A CPU 5 which internally has a volatile memory 51 for storing various information writes the data stored in the volatile memory 51 in a nonvolatile memory 6 when an ignition switch 2 is turned off. The power circuit 4 of the CPU 5 is supplied with electric power from a battery 12 through a relay 19 and the CPU 5 controls a relay driving circuit 7 so as to turn on the relay 9 for the time needed to write the above data when the ignition switch 2 is turned off.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

THIS PAGE BLANK (USPTO)

特開平9-330104

(43) 公開日 平成9年(1997)12月22日

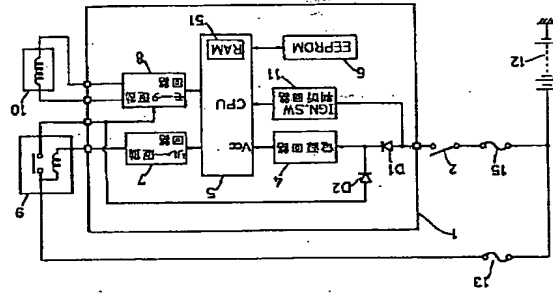
(51) Int. Cl. ⁸	識別記号	F I	審査請求 未請求 請求項の数 3 O L (全4頁)
G06B 16/02	0360-3H	Z	
B60R 16/02	660	Q	
F02D 45/00	376	E	
F02N 11/08			
(21) 出願番号	特開平8-146856	(71) 出願人	000167406 株式会社ユニシアジェックス 神奈川県厚木市恩名1370番地 株式会社ユニシアジェックス内 森田 康史 神奈川県厚木市恩名1370番地 株式会社ユニシアジェックス内 △高V木 寛之 神奈川県厚木市恩名1370番地 株式会社ユニシアジェックス内 井理士 志賀 富士弥 (外2名)
(22) 出願日	平成8年(1996)5月10日	(72) 発明者	

(54) 【発明の名称】 自動車用電子制御システム

(57) 【要約】

【課題】 簡易な構成でデータバックアップを行うことができる自動車用電子制御システムを提供する。

【解決手段】 各種情報を記憶する揮発性メモリ51を内部に含むCPU5は、イグニッションスイッチ2のオフの際に、揮発性メモリ51に記憶されたデータを不揮発性メモリ6に書き込む。CPU5の電源回路4には、リレー9を介してバッテリー12からの電源が供給されており、CPU5はイグニッションスイッチ2がオフとなった際には、上記のデータ書き込みを時間だけリレー9がオンとなるようにリレー駆動回路7を制御する。



【特許請求の範囲】

【請求項1】 各種情報を記憶する揮発性メモリと、不揮発性メモリと、前記揮発性メモリおよび前記不揮発性メモリにおける書き込み/読み込みを制御するCPUと、前記CPUに電力を供給する電源回路と、前記電源回路とバッテリーとの間に接続されたイグニッションスイッチと、前記バッテリーと前記CPUとの間に接続されたリレーと、前記リレーをオン・オフ制御するリレー駆動回路とを有し、前記CPUは、前記イグニッションスイッチがオフとなった際に、少なくとも所定時間だけ前記リレーがオンとなるように前記リレー駆動回路を制御することを特徴とする自動車用電子制御システム。

【請求項2】 前記所定時間は、前記イグニッションスイッチのオフの際に前記CPUが前記揮発性メモリに保持されたデータを前記揮発性メモリに書き込むために要する時間であることを特徴とする請求項1記載の自動車制御システム。

【請求項3】 前記リレーが他の構成要素の駆動回路と前記バッテリーとの接続をオン・オフするために使用されるものであることを特徴とする請求項1または2記載の自動車用電子制御システム。

【請求項4】 前記リレーは、前記イグニッションスイッチのオフの際に前記CPUが前記揮発性メモリに保持されたデータを前記揮発性メモリに書き込むために要する時間であることを特徴とする請求項1記載の自動車制御システム。

【請求項5】 前記リレーは、前記イグニッションスイッチのオフの際に前記CPUが前記揮発性メモリに保持されたデータを前記揮発性メモリに書き込むために要する時間であることを特徴とする請求項1記載の自動車制御システム。

【請求項6】 前記リレーは、前記イグニッションスイッチのオフの際に前記CPUが前記揮発性メモリに保持されたデータを前記揮発性メモリに書き込むために要する時間であることを特徴とする請求項1記載の自動車制御システム。

【請求項7】 前記リレーは、前記イグニッションスイッチのオフの際に前記CPUが前記揮発性メモリに保持されたデータを前記揮発性メモリに書き込むために要する時間であることを特徴とする請求項1記載の自動車制御システム。

【請求項8】 前記リレーは、前記イグニッションスイッチのオフの際に前記CPUが前記揮発性メモリに保持されたデータを前記揮発性メモリに書き込むために要する時間であることを特徴とする請求項1記載の自動車制御システム。

【請求項9】 前記リレーは、前記イグニッションスイッチのオフの際に前記CPUが前記揮発性メモリに保持されたデータを前記揮発性メモリに書き込むために要する時間であることを特徴とする請求項1記載の自動車制御システム。

【請求項10】 前記リレーは、前記イグニッションスイッチのオフの際に前記CPUが前記揮発性メモリに保持されたデータを前記揮発性メモリに書き込むために要する時間であることを特徴とする請求項1記載の自動車制御システム。

【請求項11】 前記リレーは、前記イグニッションスイッチのオフの際に前記CPUが前記揮発性メモリに保持されたデータを前記揮発性メモリに書き込むために要する時間であることを特徴とする請求項1記載の自動車制御システム。

【請求項12】 前記リレーは、前記イグニッションスイッチのオフの際に前記CPUが前記揮発性メモリに保持されたデータを前記揮発性メモリに書き込むために要する時間であることを特徴とする請求項1記載の自動車制御システム。

【請求項13】 前記リレーは、前記イグニッションスイッチのオフの際に前記CPUが前記揮発性メモリに保持されたデータを前記揮発性メモリに書き込むために要する時間であることを特徴とする請求項1記載の自動車制御システム。

【請求項14】 前記リレーは、前記イグニッションスイッチのオフの際に前記CPUが前記揮発性メモリに保持されたデータを前記揮発性メモリに書き込むために要する時間であることを特徴とする請求項1記載の自動車制御システム。

【請求項15】 前記リレーは、前記イグニッションスイッチのオフの際に前記CPUが前記揮発性メモリに保持されたデータを前記揮発性メモリに書き込むために要する時間であることを特徴とする請求項1記載の自動車制御システム。

【請求項16】 前記リレーは、前記イグニッションスイッチのオフの際に前記CPUが前記揮発性メモリに保持されたデータを前記揮発性メモリに書き込むために要する時間であることを特徴とする請求項1記載の自動車制御システム。

【請求項17】 前記リレーは、前記イグニッションスイッチのオフの際に前記CPUが前記揮発性メモリに保持されたデータを前記揮発性メモリに書き込むために要する時間であることを特徴とする請求項1記載の自動車制御システム。

【請求項18】 前記リレーは、前記イグニッションスイッチのオフの際に前記CPUが前記揮発性メモリに保持されたデータを前記揮発性メモリに書き込むために要する時間であることを特徴とする請求項1記載の自動車制御システム。

【請求項19】 前記リレーは、前記イグニッションスイッチのオフの際に前記CPUが前記揮発性メモリに保持されたデータを前記揮発性メモリに書き込むために要する時間であることを特徴とする請求項1記載の自動車制御システム。

【請求項20】 前記リレーは、前記イグニッションスイッチのオフの際に前記CPUが前記揮発性メモリに保持されたデータを前記揮発性メモリに書き込むために要する時間であることを特徴とする請求項1記載の自動車制御システム。

【請求項21】 前記リレーは、前記イグニッションスイッチのオフの際に前記CPUが前記揮発性メモリに保持されたデータを前記揮発性メモリに書き込むために要する時間であることを特徴とする請求項1記載の自動車制御システム。

【請求項22】 前記リレーは、前記イグニッションスイッチのオフの際に前記CPUが前記揮発性メモリに保持されたデータを前記揮発性メモリに書き込むために要する時間であることを特徴とする請求項1記載の自動車制御システム。

【請求項23】 前記リレーは、前記イグニッションスイッチのオフの際に前記CPUが前記揮発性メモリに保持されたデータを前記揮発性メモリに書き込むために要する時間であることを特徴とする請求項1記載の自動車制御システム。

【請求項24】 前記リレーは、前記イグニッションスイッチのオフの際に前記CPUが前記揮発性メモリに保持されたデータを前記揮発性メモリに書き込むために要する時間であることを特徴とする請求項1記載の自動車制御システム。

【請求項25】 前記リレーは、前記イグニッションスイッチのオフの際に前記CPUが前記揮発性メモリに保持されたデータを前記揮発性メモリに書き込むために要する時間であることを特徴とする請求項1記載の自動車制御システム。

(2)

特開平9-330104

2

に開示されたように、上記のバックアップをコンデンサを電源として使用して行う構成（従来例2）も知られている。

【0005】

【発明が解決しようとする課題】 しかしながら、従来例1の構成、切換回路が別途必要となり、また、バッテリーと切換回路との間に別途記憶を必要とすることから、回路構成が複雑でコスト高となるという問題があった。

【0006】 また、従来例2の場合には、コンデンサを電源としていることから、揮発性メモリから不揮発性メモリへの書き込み動作がコンデンサからの放電時間により時間的な制限を受けるという問題がある。

【0007】 本発明は、上記のような問題がなく、簡易な構成でデータバックアップを行うことができる自動車用電子制御システムを提供することを目的としている。

【0008】

【課題を解決するための手段】 本発明の自動車用電子制御システムは、各種情報を記憶する揮発性メモリと、不揮発性メモリと、前記揮発性メモリおよび前記不揮発性メモリにおける書き込み/読み込みを制御するCPUと、前記CPUに電力を供給する電源回路と、前記電源回路とバッテリーとの間に接続されたイグニッションスイッチと、前記バッテリーと前記CPUとの間に接続されたリレーと、前記リレーをオン・オフ制御するリレー駆動回路とを有し、前記CPUは、前記イグニッションスイッチがオフとなった際に、少なくとも所定時間だけ前記リレーがオンとなるように前記リレー駆動回路を制御することを特徴とする。

【0009】 具体的には、前記所定時間は、前記イグニッションスイッチのオフの際に前記CPUが前記揮発性メモリに保持されたデータを前記揮発性メモリに書き込むために要する時間である。また好ましくは、前記リレーは、他の構成要素の駆動回路（例えば、モータ駆動回路）とバッテリーとの接続をオン・オフするために使用されるものが併用される。

【0010】

【発明の実施の形態】 以下に本発明の実施の形態の自動車用電子制御システムを説明する。図1に示したように、本実施の形態は、制御ユニット1、バッテリー2、イグニッションスイッチ2、リレー9、モータ10などから構成される。

【0011】 制御ユニット1は、電源回路4、イグニッションスイッチ（IGN. SW）判断回路11、EEPROMのようない揮発性メモリ（EEPROM）6、CPU5、リレー駆動回路7、モータ駆動回路8などから構成される。また、CPU5は、RAMのようない揮発性メモリ51を内部に含んでいる。

【0012】 以上の構成において、制御ユニット1には、ヒューズ15とイグニッションスイッチ2を介して、およびヒューズ13とリレー9を介して、それぞれ

50

バッテリー1から電源が供給されるようになっている。このようにして供給される電源は、制御ユニット1の内部において、ダイオードD1、D2を経て、電源回路4、イグニッション判断回路11、リレー駆動回路7、あるいはモータ駆動回路8にそれぞれ入力され、また電源回路4を介してCPU5に電源Vccとして供給される。

【0013】ここで、イグニッションスイッチ2を介して制御ユニット1に供給される電源は、イグニッションスイッチ判断回路11に入力される。イグニッションスイッチ判断回路11は、イグニッションスイッチ2のオン・オフの判断をし、判断結果をCPU5に出力する。また、リレー9を介して制御ユニット1に供給される電源は、モータ駆動回路8に供給されるとともに、電源回路4にも供給される。モータ駆動回路8はモータ10に電源を供給する。

【0014】さらに、CPU5は、シリアル通信によって不揮発性メモリ6における書き込み/読み込みの制御を行い、またリレー駆動回路7にリレー9のオン・オフ指示を出し、さらにモータ駆動回路8にモータ10の駆動指示を出し、さらに、CPU5は、内部の不揮発性メモリにおける書き込み/読み込みの制御を行っている。

【0015】以上の構成である実施の形態の自動車用電子制御システムにおいて、イグニッションスイッチ2をオンすると、電源回路4に電源が供給されて、CPU5が動作を開始する。また、イグニッションスイッチ判断回路11は、電源電圧の入力により、イグニッションスイッチ2がオンと判断し、この判断結果をCPU5に出力する。

【0016】すると、CPU5は、図2を参照して、ステップ101においてイグニッションスイッチ判断回路11の出力結果に基づいてイグニッションスイッチ2のオン・オフの判断を行う。オンと判断した場合にはステップ102へ進む。ステップ102では、不揮発性メモリ6から揮発性メモリ51へのデータの読み込みが終了していない場合にはステップ103に進んで読み込み処理が行われ、また読み込みが終了した場合にはステップ104へ進む。リレー駆動回路7へリレー9のオン指示を行い、この結果、リレー9がオンになる。

【0017】次に、イグニッションスイッチ2をオフすると、イグニッションスイッチ2を介して制御ユニット1に供給されている電源は切れるが、リレー9はオンしているため、制御ユニット1へは電源供給され、CPU5は動作状態を保持することができる。また、この場合、イグニッションスイッチ判断回路11には電源電圧が入力

されなくなる。よって、イグニッションスイッチ判断回路11は、イグニッションスイッチ2がオフと判断し、この判断結果をCPU5へ出力する。

【0018】すると、CPU5は、図3を参照して、ステップ201にて、イグニッションスイッチ判断回路11での判断結果により、イグニッションスイッチ2のオン・オフの判断を行う。オフと判断した場合、ステップ202へ進む。ステップ202では、揮発性メモリ51から不揮発性メモリ6への書き込み終了の有無を判断する。そして、不揮発性メモリ6への書き込みが終了していない場合には、ステップ203へ進む。不揮発性メモリ6への書き込み処理が行われる。

【0019】そして、不揮発性メモリ6への書き込みが終了した場合には、ステップ204へ進む。リレー駆動回路7へリレー9のオフ指示を出す。これにより、リレー9がオフとなり、制御ユニット1への電源供給がオフとなる。

【0020】

【発明の効果】以上の通り、本発明の自動車用電子制御システムでは、従来のような切替回路を用いた構成とすることなく同様の機能を達成できるので、簡易な構成でデータバックアップを行うことができ、また、従来のコンデンサを用いた場合のように不揮発性メモリへの書き込み動作が時間的な制約を受けることもない。

【図面の簡単な説明】

【図1】 本発明の自動車用制御システムの実施の形態の概略図である。

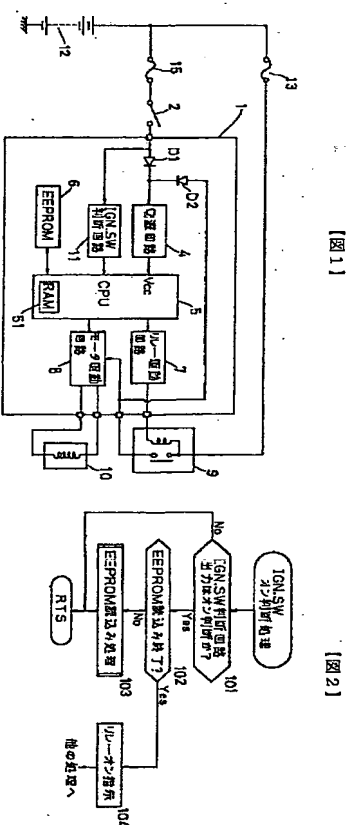
【図2】 図1の自動車用制御システムにおけるCPUによるイグニッションスイッチのオン判断時の処理を示したフローチャートである。

【図3】 図1の自動車用制御システムにおけるCPUによるイグニッションスイッチのオフ判断時の処理を示したフローチャートである。

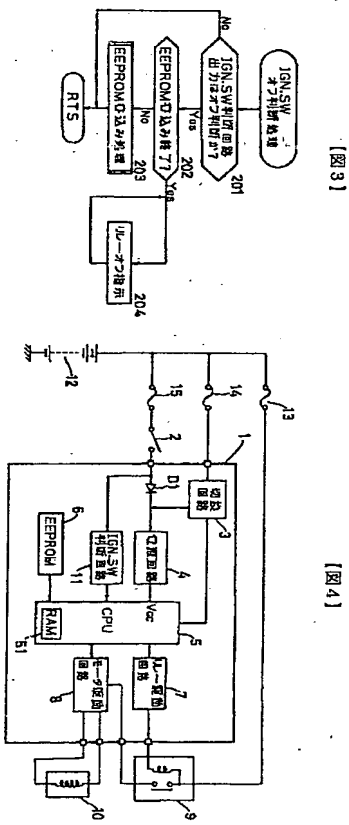
【図4】 従来の説明図である。

【符号の説明】

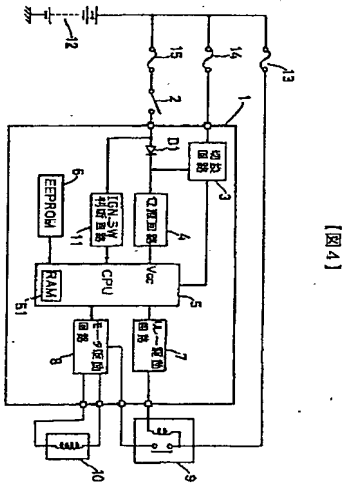
- 1...制御ユニット
- 2...イグニッションスイッチ
- 4...電源回路
- 5...CPU
- 6...不揮発性メモリ
- 7...リレー駆動回路
- 8...モータ駆動回路
- 9...リレー
- 13、14、15...ヒューズ
- 51...揮発性メモリ



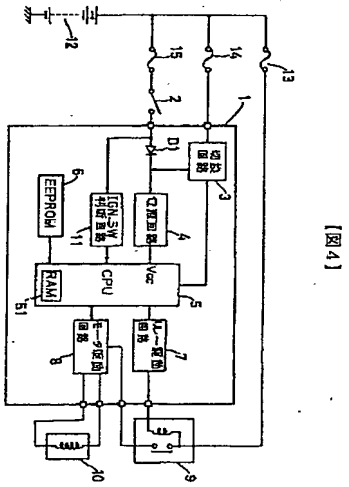
【図1】



【図2】



【図3】



【図4】